

## SPI BUSANALYZER

### **Protokollanalyse für embedded Systeme mit SPI basierter Kommunikation**

#### **Protocol Analysis for Embedded Systems using SPI Communication Interface**

Das Serial Peripheral Interface (SPI) ist ein synchroner, serieller Kommunikationsbus, der in vielen eingebetteten Systemen zu finden ist. Die SPI Maid Plus ermöglicht die Aufzeichnung und Auswertung der übertragenen Daten. Darüber hinaus kann die SPI Maid Plus als Generator selbst Daten über den Bus senden.

#### **DER SPI BUS**

Der SPI Bus ist eine sehr einfach zu realisierende Schnittstelle. Ursprünglich von Motorola eingeführt, ist er heute als Peripherieelement in den meisten Mikrocontrollern zu finden.

Der Bus besteht aus einem Master, der die Kommunikation steuert und einem oder mehreren Slaves. Die Auswahl eines Slaves durch den Master erfolgt mit Hilfe einer Chip Select Leitung. Die Übertragung der Daten erfolgt seriell zu einem Taktsignal, das vom Master generiert wird. Typischerweise reicht die Taktfrequenz bis in die Region 20MHz. Damit ist die SPI Schnittstelle in der Lage große Datenmengen auf einfache Weise zu übertragen.

Die Datenübertragung erfolgt für gewöhnlich bidirektional auf zwei getrennten Leitungen. Vom Master zum Slave auf der MOSI (oder SIMO) Leitung (Master Out Slave In), vom Slave zum Master auf der MISO (oder SOMI) Leitung (Master In Slave Out). Durch Setzen einer Chip Select Leitung wählt der Master einen Slave aus. Dieser schaltet seinen Ausgangstreiber niederohmig und sendet Daten auf der MISO Leitung zum

The Serial Peripheral Interface (SPI) is a synchronous serial communication bus, used in almost any embedded system. The SPI Maid Plus allows the recording and evaluation of data transmitted on a SPI bus. In addition, the SPI Maid Plus itself can be a data generator sending SPI messages to an ASIC.

#### **THE SPI BUS**

The technical realization of a SPI interface is very simple. Originally introduced by Motorola, a SPI peripheral element can be found in almost any modern microcontroller.

A typical SPI bus system has one master (usually a microcontroller) which controls the communication with one or more slaves (usually ASIC). Selecting a slave by the master is done with the help of a chip select (CS) line. The serial transmission of data is synchronous to a clock signal which is also generated by the master. Typically, the clock rate reaches to the region of 20 MHz. With it, the SPI interface is an ideal candidate for transmitting high data volumes in an easy way.

Usually the data transmission is bidirectionally using two separate lines for sending and receiving data. Data is traveling from the master to the slave on the MOSI (or SIMO) line (Master Out Slave In), from the slave to the master on the MISO (or SOMI) line (Master In Slave Out). By setting the chip select line the master selects a slave for communication. This sets the slave's output driver to low impedance. It then sends data to the mas-

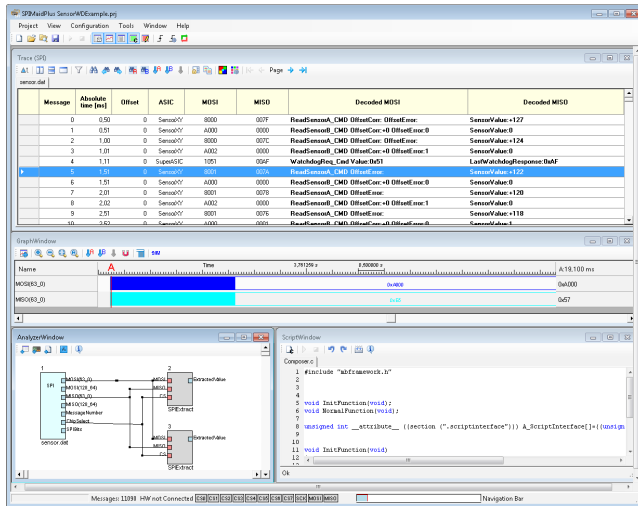


Abbildung 1:  
SPI Bus mit Controller und ASIC

Picture 1:  
SPI System with master and three slaves

Master. Nachdem alle Bits gesendet wurden, wird die Chip Select Leitung vom Master zurückgesetzt und der Ausgangstreiber des Slave Bausteins wird hochohmig geschaltet.

**„Vielfältige Implementierung auf Ebene der Datenübertragung“**  
**„A large variety of implementations on the physical SPI layer“**

Die Funktion des Taktsignals ist in der Abbildung zu erkennen. Master und Slave stellen mit der steigenden Flanke des CLK Signals das zu übertragende Bit auf die MISO und MOSI Leitung ein. Die Abtastung erfolgt auf der fallenden Flanke des CLK Signals. Es sind verschiedenen Arten der Lage vom Taktsignal zu den Datenleitungen gebräuchlich, die aber von allen modernen Mikrocontrollern unterstützt werden.

Auf physikalischer Ebene werden normalerweise TTL Spannungspegel verwendet, vereinzelt kommen auch differentielle Signale zur Anwendung, falls eine höhere Datenrate oder eine größere räumliche Entfernung zu überbrücken ist.

Typischerweise werden in einem ChipSelect Zyklus Vielfache von 8 Bit übertragen, also 8, 16, 32 bis hin zu 64 Bit. Es existieren aber auch ASIC, die simultan verschiedene Bitbreiten unterstützten, zum Beispiel 8 Bit Übertragungen für zeitkritische Aufgaben und 40 Bit Übertragungen für zeitunkritische Kommunikationen mit einem hohen Anteil von Daten.

Auf Ebene der Hardware kann man sich die SPI als einfaches Schieberegister vorstellen, das mit dem CLK Signal getaktet wird.

ter on the MISO line. After all bits were sent, the chip select line is cleared by the master and the slaves output driver is set to high impedance again.

The function of the clock signal can be seen in the picture. Master and slave will set the bits to transmit on the MISO and MOSI line with the rising edge of the CLK signal. Sampling occurs on the falling edge of the CLK signal. There are different settings of how CLK and data lines behave. However, all these settings are supported by all modern microcontrollers.

On the physical layer TTL type voltage levels are used. Sporadically, differential signals also come to the application, if a higher data rate or a bigger spatial distance is to be bridged.

Typically, multiples of 8 bits are transmitted within one chip select cycle. So 8, 16, 32 or 64 bits will be transmitted. However, there are ASIC which simultaneously supported different word widths, for example, 8 bits of for time-critical data and 40 bits for time-uncritical communications with a high portion of data.

At the level of hardware, you can think of the SPI as a simple shift register which is clocked by the signal CLK.

Some microcontrollers have advanced SPI interfaces that extends the performance of a simple shift register. Beginning with the automatic setting and clearing of the chip select signal, up to a fully automatic SPI that

Einige Mikrocontroller verfügen über sehr leistungsfähige SPI Peripherieeinheiten, deren Funktion weit über die eines einfachen Schieberegisters hinausgeht. Angefangen von dem automatischen Setzen und Löschen des Chip Select Signals, bis hin zu einer vollautomatischen SPI, bei der die zu sendenden und empfangenden Daten, die relevante Chip Select Leitung, sowie weitere Informationen in einem FIFO Speicher hinterlegt werden können. Dieser FIFO Speicher wird vollständig autonom abgearbeitet und so der Mikrocontroller von dieser Aufgabe entlastet.

## SPI BUSANALYZER

Die Komplexität eines modernen, eingebetteten Systems und die teils fatalen Folgen einer Fehlfunktion, setzen leistungsfähige Werkzeuge voraus, die den Entwickler bei Test und Verifikation unterstützen.

Die SPI BUSANALYZER ist spezialisiert auf die Aufnahme und Analyse von Daten, die über einen SPI Bus übertragen werden. Auf der physikalischen Ebene werden dabei alle bekannten Standards zur Datenübertragung auf einem SPI Bus unterstützt.

Die SPI BUSANALYZER unterstützt bis zu 8 Chip Select Leitungen, wobei zu jeder Leitung individuelle SPI Einstellungen gemacht werden können.

Die einzelnen SPI Datenpakete werden mit MISO und MOSI Daten, dem Zustand der Chip Select Leitungen sowie einem Zeitstempel abgespeichert. Die Darstellung dieser Messdaten erfolgt übersichtlich in der grafischen Oberfläche in Tabellenform.

Hier werden sowohl die Rohdaten, als auch die Dekodierung angezeigt.

Die Aufnahme und Anzeige seriell übertragener Daten stellt allerdings nur einen kleinen Teil der SPI BUSANALYZER Funktionalität dar. Die anschließende Analyse der Daten macht erst die Leistungsfähigkeit des SPI BUSANALYZER aus.

Die Aufbereitung der in den SPI Botschaften enthaltenen Information kann vom Benutzer frei definiert werden. Dazu werden einzelne Bits oder Gruppen von Bits definiert, die dann nach dieser Vorgabe deko-

stores the transmitting and receiving data, the relevant chip select line, as well as further SPI settings in a memory FIFO. This memory FIFO is processed completely autonomous and thus the microcontroller is relieved of this job.

## SPI BUSANALYZER

The complexity of a modern embedded system and the fatal consequences of a malfunctioning requires efficient tooling which support the developer during test and verification.

The SPI BUSANALYZER is specialized in the recording and analysis of data which is transmitted over a bus SPI. On the physical layer all known SPI data transmission standards are supported.

*„Leistungsfähige  
Protokollanalyse“  
“Efficient protocol  
analysis“*

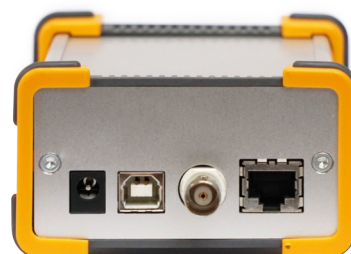
The SPI BUSANALYZER supports up to 8 chip select lines where every chip select line can have its own individual SPI settings. The recorded SPI messages are saved including MISO and MOSI data, the state

the chip select lines as well as a time stamp. Finally, data is shown in the software in a tabular form. Here, user can explore the raw data, as well as the decoded messages.

However, recording and displaying serial transmitted data is only a small part of the SPI BUSANALYZER functionality. The analysis of the recorded data is the key feature of the SPI BUSANALYZER.

The processing of the information contained in the SPI messages can be defined by the user freely. To do so, single bits or groups of bits are defined which can then be decoded in different ways.

The output of this decoding can occur in the form of a text, as an integer, as a signed number, or as a hexadecimal number. All relevant bits of the message to be decoded are determined with the help of bit masks.



The decoding of SPI messages features a conditional decoding. With it, the instruction set of an ASIC can be realized in an easy manner. A filter function is provided that allows to display only the messages important at the moment. This feature

diert werden. Die Anzeige kann in Form von Texten, als Ganzzahl, als vorzeichenbehaftete Zahl oder als Hexadezimalzahl erfolgen. Dazu werden mit Hilfe von Masken alle relevanten Bits der zu dekodierenden Botschaft bestimmt und in gewünschter Weise dargestellt.

Die Dekodierung kann, abhängig vom Inhalt der SPI Botschaften, bedingt erfolgen. Damit kann auf einfache Weise der Befehlssatz eines ASIC nachgebildet werden.

Eine Filterfunktion erlaubt es, nur die im Moment wichtigen Botschaften darzustellen. Dies erhöht die Übersichtlichkeit und erleichtert die Fehlersuche.

Eine Suchfunktion erlaubt das Suchen nach einer bestimmten Dekodierung, einem bestimmten Bitmuster oder nach einem speziellen zeitlichen Auftreten von SPI Botschaften. Der Inhalt von dekodierten Botschaften lässt sich ebenfalls grafisch darstellen.

Das Auftreten eines bestimmten Bitmusters auf dem SPI Bus, kann über eine BNC Buchse als Triggersignal für andere Messgeräte nach außen gegeben werden. Ebenso kann der Start der Messung von externen Messgeräten über einen Eingang gesteuert werden.

Mit der Protokollanalyse ist die Leistungsfähigkeit des SPI BUSANALYZER noch nicht erschöpft. Im aktiven Modus können Daten über den SPI geschickt werden. In einem Composer können Abläufe von SPI Botschaften definiert werden, die der SPI BUSANALYZER sendet während die Antwort des ASIC wie gewohnt aufgezeichnet wird.

Damit unterstützt Sie der SPI BUSANALYZER während der frühen Entwicklungsphase oder bei speziellen Tests eines ASIC.

***Haben Sie spezielle Anforderungen, die der SPI BUSANALYZER nicht erfüllt? Dann können wir für Sie eine Lösung finden. Schnell, unkompliziert und kostengünstig.***

helps to understand the temporal behavior of the system and makes locating of faults easier.

A search function permits the search for a certain message, a certain bit pattern, or for a special temporal appearance of a SPI message.

The contents of a decoded message can also be displayed graphically.

The appearance of a certain bit pattern on the SPI bus can trigger other measuring instruments generating a pulse on the BNC jack. Also, the start of the measurement can be controlled by external measuring instruments with a trigger input. The protocol analysis is only a part of the SPI BUSANALYZER functionality.

In the tools active version, the SPI BUSANALYZER can be a bus master and send out data over the SPI bus. In a composer window the user can define sequences of messages the SPI BUSANALYZER will send, while the

response of the ASIC is recorded in the usual way.

Using this feature, the SPI BUSANALYZER supports you during the early development stage of an ASIC

or during extended tests of your system without the need of having special microcontroller software.

***Do you have special demands which the SPI BUSANALYZER does not fulfill? We can find the right solution for your problem.***

***„Stimulation eines ASIC über den SPI Bus“***

***„Stimulation of an ASIC using the SPI bus interface“***

## TECHNISCHE DATEN

### SPI Interface

Eingangsspannung   Input voltage level:	3.3V – 5.0V
max. Clock Rate   Clock rate	10 MHz
Auflösung Zeitstempel   resolution timestamp	10 ns
Wortbreite SPI   SPI word length:	bis zu 64 Bit   up to 64 Bits
CLK Einstellungen   CLK Settings	Steigende oder fallende Flanke   Rising or falling edge
CS Einstellungen   CS Settings	High oder low aktiv   High or low active
Daten   Data orientation	MSB oder LSB first   MSB or LSB first
CS Eingänge   CS inputs	8, jeder individuell einstellbar   8, each with individual SPI settings

### Dekodierung | Decoding

Dekodierung von vorgegebenen Bitmustern nach   Decoding of given bit patterns and display as	Text   Text
	Ganzzahl   Integer
	Vorzeichenbehaftete Zahl   Signed number
	Hexadezimale Zahl   Hexadecimal number
	nach markierter Botschaft   Selected Message

Suchfunktion   Search	Nach dekodiertem Befehl   For a decoded message
	Vorgegebenem Bitmuster   For a given bit pattern
	Zeitstempel   For a time stamp

Filterfunktion   Filter	Nach dekodiertem Befehl   Show or hide decoded messages
-------------------------	---

Grafische Anzeige   Graphical View	Ganzzahl   Integer
	Vorzeichenbehaftete Zahl   Signed number
	Hexadezimale Zahl   Hexadecimal number

### Aktive Version | Active Version (Master Mode)

Script Sprache mit Elementen   Script language with these tokens	Idle
	Loop
	Goto
	Wait
	Send

Trigger   Trigger	Extern und intern   External and internal
-------------------	---

Schnittstelle   Interface	USB 2.0
	Ansteuerung per DLL möglich   controllable via DLL

Softwaresprache   Software language	Englisch   English
-------------------------------------	--------------------